

# 2023秋 半導体基礎講座 通信講座・オンラインハイブリッドセミナー

【第1セッション 半導体プロセス編】  
【第2セッション 半導体設計・ビジネス編】

## 通信講座テキスト見本

サクセスインターナショナル株式会社

**GNC**  
Global Net Corp

**SUCCESS**  
INTERNATIONAL  
サクセス・インターナショナル 株式会社  
Success International Corporation

# 目 次

## 通信講座テキスト見本 (目次見本)

### 第1セクション 半導体プロセス編

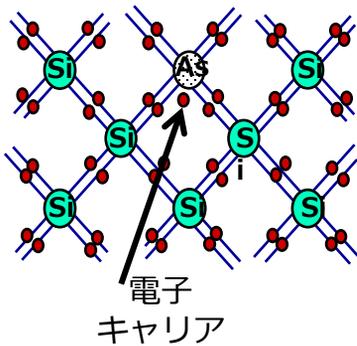
- No.01 半導体の物性とデバイスの基礎 . . . . . 3
- No.02 CMOSLSIの構造とウェハー工程－1 . . . . . 4
- No.03 CMOSLSIの構造とウェハー工程－2 . . . . . 5
- No.04 半導体製造工程：パッケージ工程 . . . . . 6
- No.05 半導体デバイスの実装技術 . . . . . 7

### 第2セクション 半導体設計編

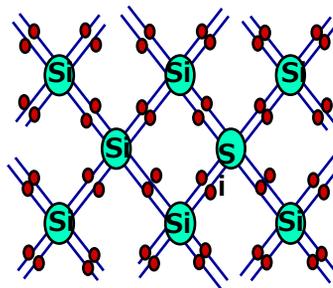
- No.06 半導体デバイスの用途 . . . . . 8
- No.07 LSI設計技術（アナログ） . . . . . 9
- LSI設計技術（デジタル） . . . . . 10
- No.08 半導体デバイスの信頼性技術 . . . . . 11
- No.09 メモリ入門 . . . . . 12
- CMOSイメージセンサー入門 . . . . . 13
- No.10 半導体業界の紹介と将来を考える . . . . . 14

## 3-2 不純物半導体

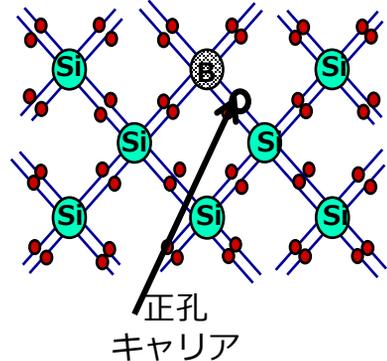
### N型半導体



### 真性半導体



### P型半導体



5価の元素を加えると、1原子当たり1個余分の**電子**が生ずる。この電子は通常の温度（室温）において原子の束縛を離れて、自由に動ける。

3価の元素を加えると電子が1個不足し、空孔が生じる。これを**正孔 (hole)**と呼ぶ。正孔は実際に存在する粒子では無いが、粒子と考える事に依り、電流の動きを理解し易くなる。

#### N型半導体：

この余分の電子は自由に動き回ることが出来、**自由電子 (free electron)**と呼ばれる。不純物濃度が増すと、電気伝導度が上がる。

その不純物原子は固定された負のイオンとなる。（ドナーと呼ばれる。）

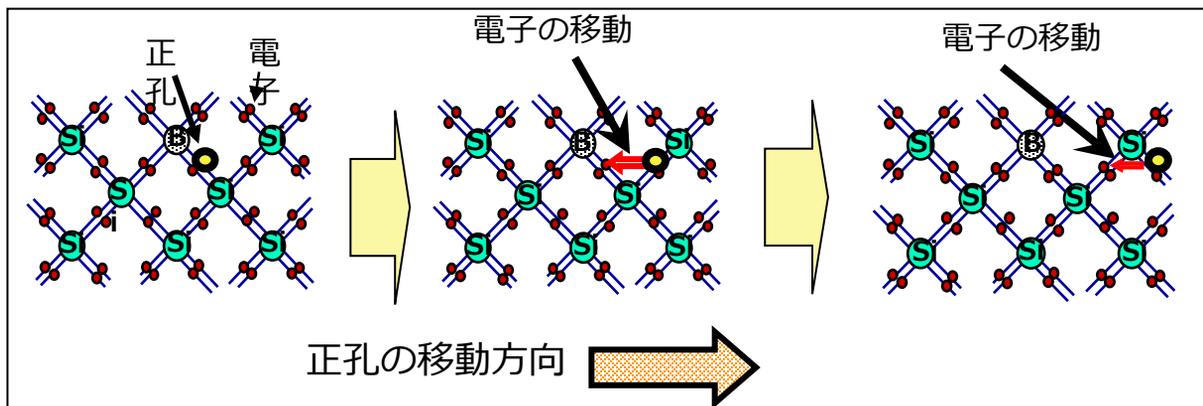
#### P型半導体：

正孔は正電荷を持ち、自由に動き回ることが出来る。不純物濃度が増すと、電気伝導度が上がる。

その不純物原子は固定された負のイオンとなる。

（アクセプタと呼ばれる。）

#### 正孔の移動の説明

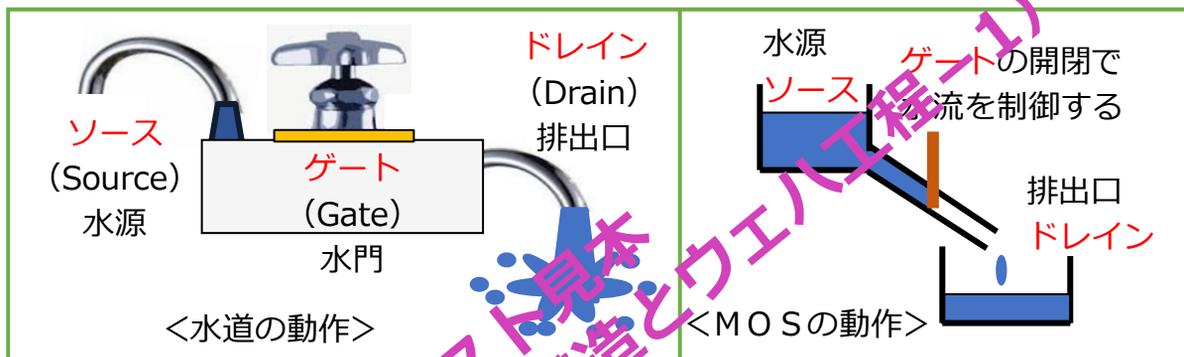


正孔（電子の抜け跡）のあった所に右側の電子が移ると、正孔が左から右に移動した事になる。

**MOSなんて、水道の蛇口をひねるようなもの**

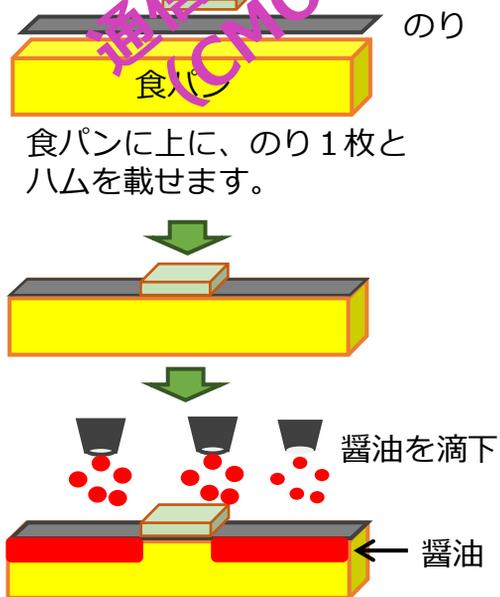
MOSの動作は下図のように水源 (Source) から吸い込み口 (Drain) への水流を、水門 (Gate) で制御していて、水道と同じです。**ゲート**電極に電圧を掛けるかどうかで、**ソース**から**ドレイン**へ流れる電流のONかOFFかが決まります。MOSの電極の名前も、水流の名称から取ったものです。

電気も水も流れるものだから、同じ扱いができるんだ

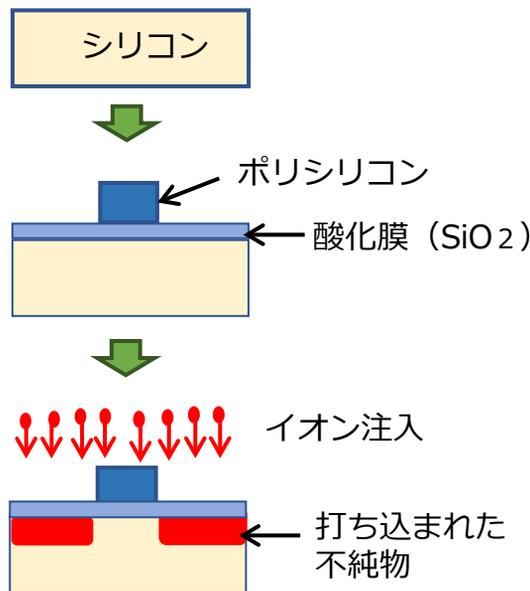


**簡単！ MOSなんて簡単に作れます！？！**

MOSトランジスタを作るのは、食パンに醤油を染み込ませるようなもの。

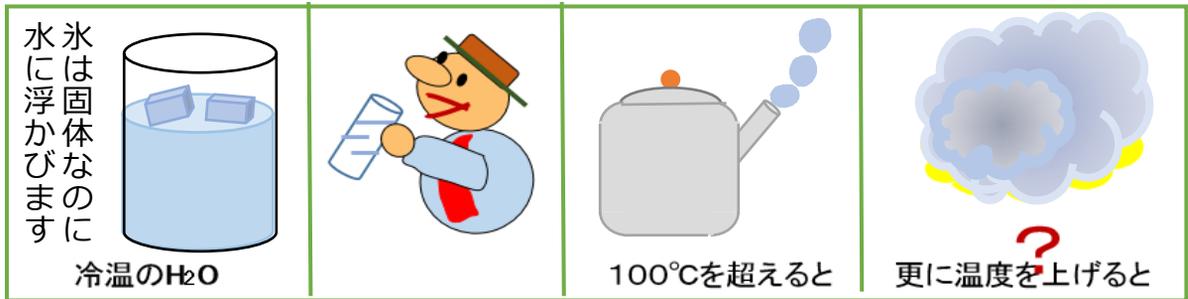


上から醤油を垂らすと、ハムの下には醤油は染み込まず、ハムの両サイドに醤油が染み込みます。



MOSトランジスタのお料理法も食パンと同じです。ただし、食べられません

～出世魚と言うのがありますネ。では、**水が出世すると何に?**～

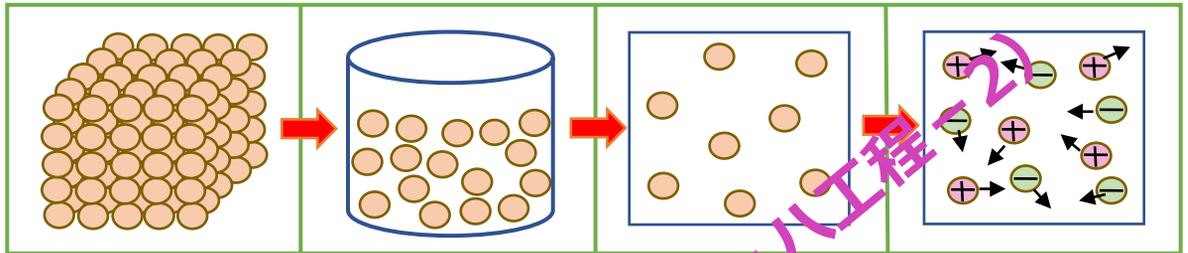


氷ですね。

水ですね。

水蒸気ですね。

どうなるの？



固体

アトムが行儀よく並んでいます。小学校1年生

液体

中学生になると大人しく並んでいません。

気体

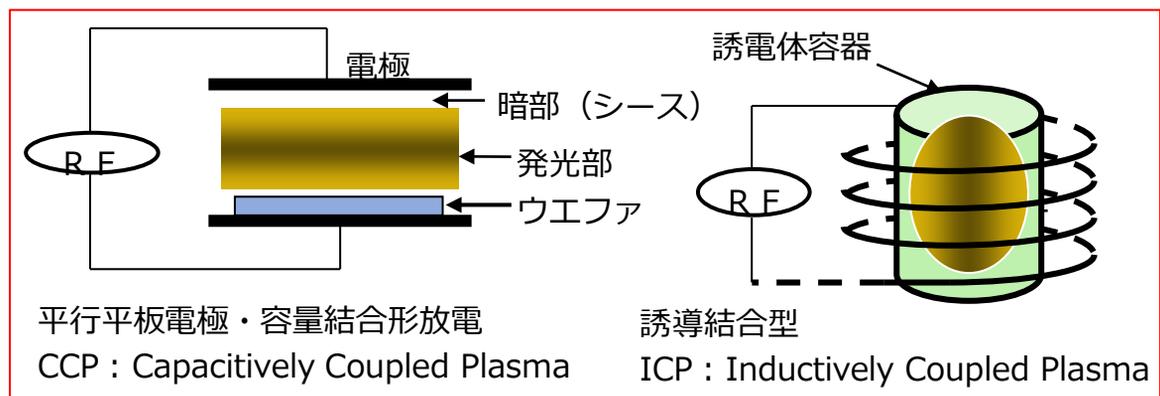
高校生になると、もう教室の中にしっとして居ません。

プラズマ

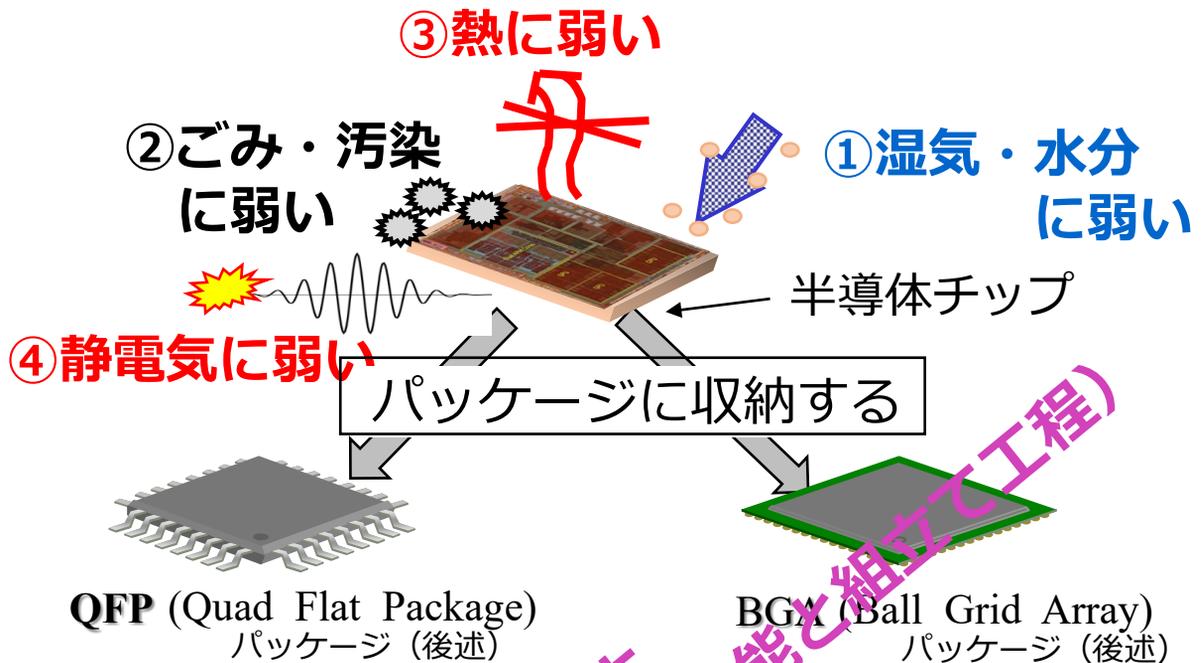
大学生になるともう、大人には理解できません。

**反応性に富むプラズマ。低温でも興奮状態のプラズマガス**

例えばCF<sub>4</sub>をプラズマ化すると、F、F<sup>+</sup>、CF<sup>+</sup>、CF<sub>2</sub><sup>++</sup>などの粒子が発生し、これらは化学的に活性でどんな物とも反応し易くなります。平行平板容量結合 (CCP; Capacitively Coupled Plasma) の場合は、下図左のように向かい合った電極間にRF放電 (通常は13.56MHz) を起こします。下図右は、誘導結合型 (ICP; Inductively Coupled Plasma) です。プラズマを用いるメリットは、マスクのフォトレジストは有機物なので、耐えられる温度の100℃以下の低温でエッチングなど化学反応を起す必要があるからです。



# 1-2 なぜ半導体チップをパッケージに収納するのか



なぜ半導体チップをパッケージ（外囲器）に収納するのでしょうか。

半導体チップは部品デバイス（装置）として大変に優秀な機能を有していますが、チップそのままでは上図のように

- ① 湿気や水分にさらされると特性・品質が劣化する。
- ② ごみなどの汚染により特性・品質が劣化する。
- ③ 発熱による温度上昇により品質不良に至る。
- ④ 静電気により破損しやすい。

などが発生する。

これらの防止・対策のためとその他の機能を付加するために半導体チップをパッケージに収納する。下記に示すように半導体チップをパッケージに収納する工程を後工程と呼称している。

## パッケージ (Package)

半導体チップを収納する外囲器

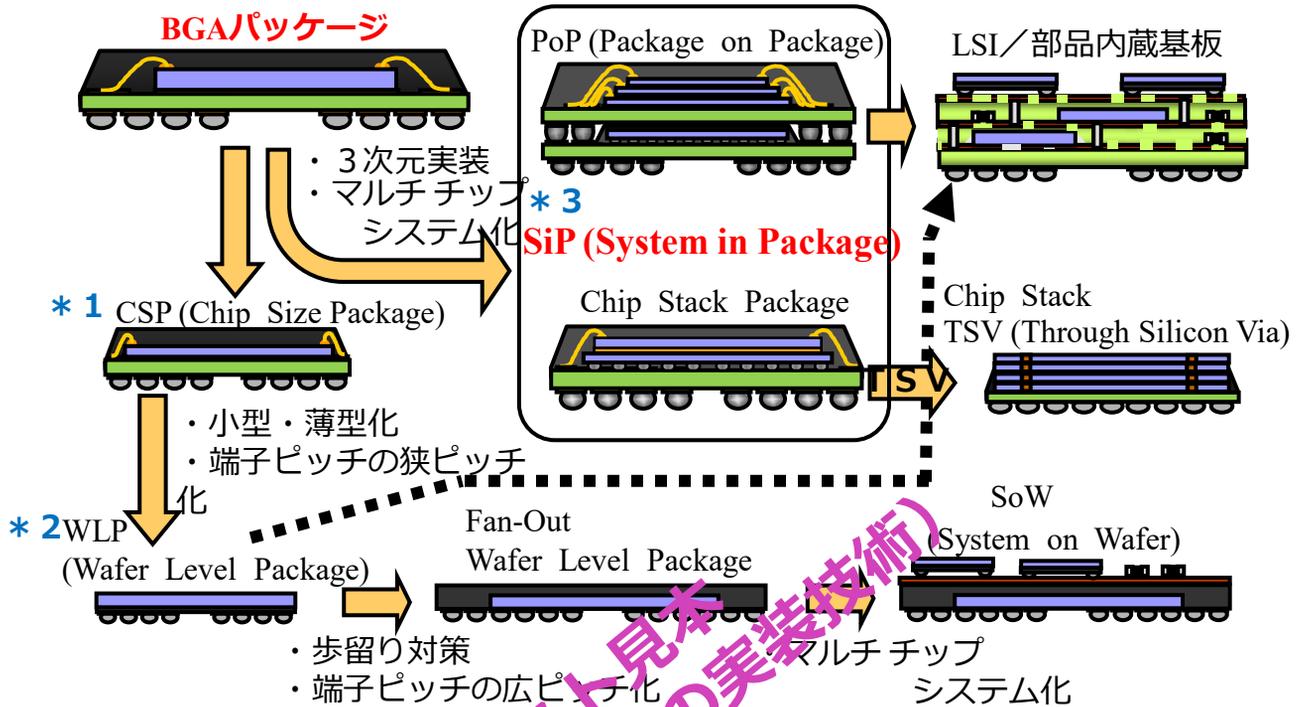
1. 求められる主な機能が6項目ある。
2. 構造が数種類ある。
3. パッケージの種類は多く、分類され名称が付けられている。
4. 最近でも新しいパッケージが開発されている。

## 後工程(Assembly Process)

半導体チップを外囲器に収納する工程  
現在、下記の4通りのプロセスがある。

1. ダイレベル組立プロセス  
・ 接続技術別の組立プロセス
2. ウェハ・ダイ薄化プロセス
3. ウェハレベル組立プロセス
4. Fan-Outウェハレベル組立プロセス

## 3-2. BGAパッケージから各種パッケージへ進展



実装技術の変遷・発展は半導体パッケージの形態の進展と相関がある。

特に最近ではエリア配列端子タイプであるBGAパッケージの出現は実装技術の課題を提供し、且つ、実装技術の進展に大きな影響を及ぼしている。

また、上図のようにエリア配列端子タイプのBGAパッケージの出現はパッケージ技術と実装技術の融合により、より小型・薄型のパッケージのChip Size Package(CSP \* 1)へと進展し、さらに、パッケージの組み立てプロセスも大きく変わるウェハレベルパッケージ (WLP \* 2) も出現した。(ウェハレベルCSPと同義語)

また、複数の半導体デバイスを収容するマルチチップ構成のSystem in Package (\* 3) を出現させ、さらに、新しいパッケージの開発や三次元実装の開発・実用化へと進展させている。

実装技術の変遷はパッケージの形態との相関が強いため、以後、パッケージの技術動向と実装技術の進展を合わせて解説していく。

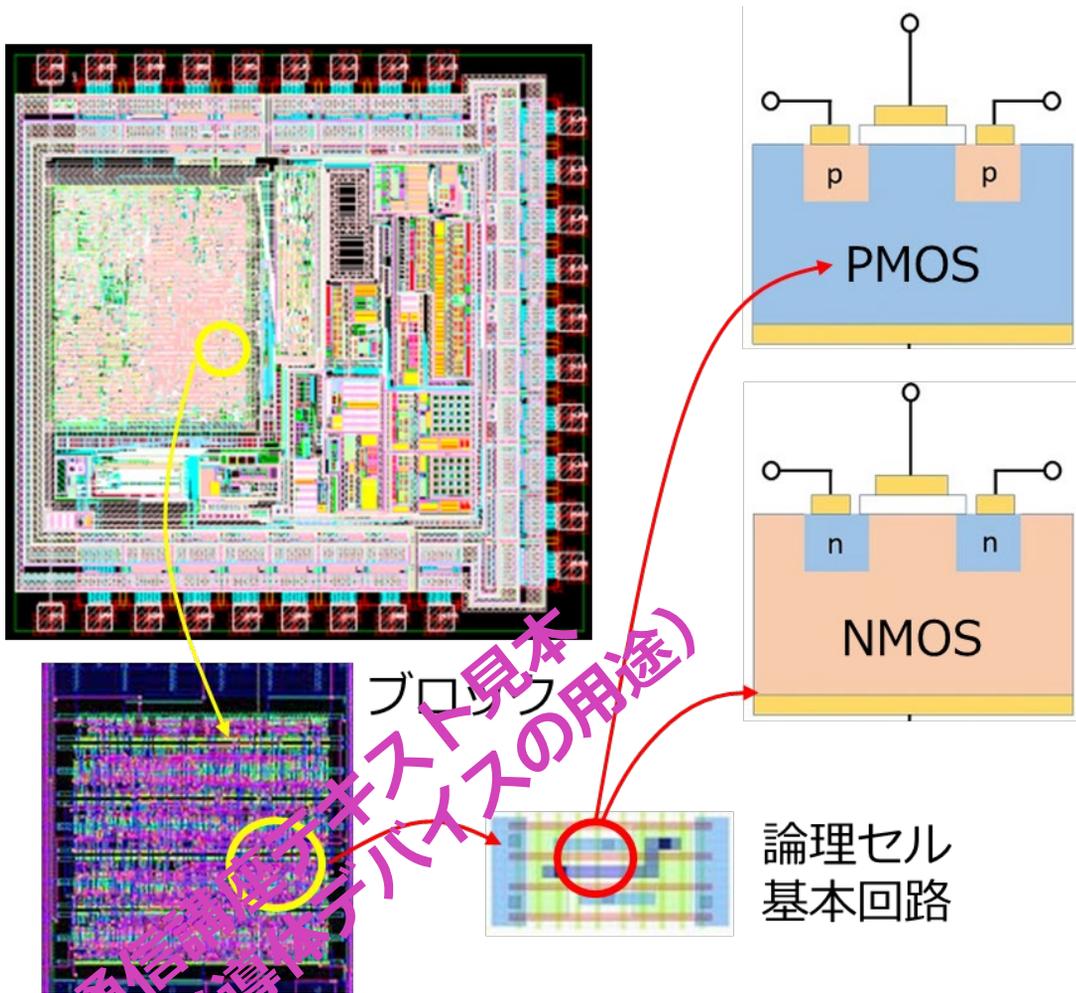


図 エラー指定されたスタイルは使われていません。-1 LSIのパターンを拡大

エラー! 参照元が見つかりません。には 10nm 世代の LSI の配線構造例を示す。この例では最大 13 層まで配線に利用できる。これだけ層数が多いと、その立体的な配線の交差接続関係を人の目で見るとは不可能であり、接続・レイアウトルール検証は全て EDA (Electric Design Automation) ツールに頼っている。MOS トランジスタ自体は非常に小さいが、配線をあまり細くすると配線抵抗が大きくなって、IR-Drop (電圧降下) のために必要な電圧をトランジスタまで供給出来なかったり EM (Electro Migration) によって断線を起こしたりする。従ってトランジスタに近い下層は細くて短配線、上に上がるほど接続先が増えるので太い長配線として、これらの問題に対応している。設計において特に気を遣うのが電源、グラウンド、クロックの配線である。

先の計算で  $2I_o=200\mu A \rightarrow 4$  倍して  $800\mu A$  これは、電力が大きくなり採用できない。  
 アナログ回路の差動対の  $2I_o$  のことをテール電流（しっぽの電流）と言うが、およそ、数  
 $\mu A \sim$  数十  $\mu A$  で設計する。W/L も考えみましょう。プロセスによって数値は異なります  
 が、ここでは、 $W/L=2\mu m/0.5\mu m$  から 4 倍とすると  $8\mu m/0.5\mu m$  となります。

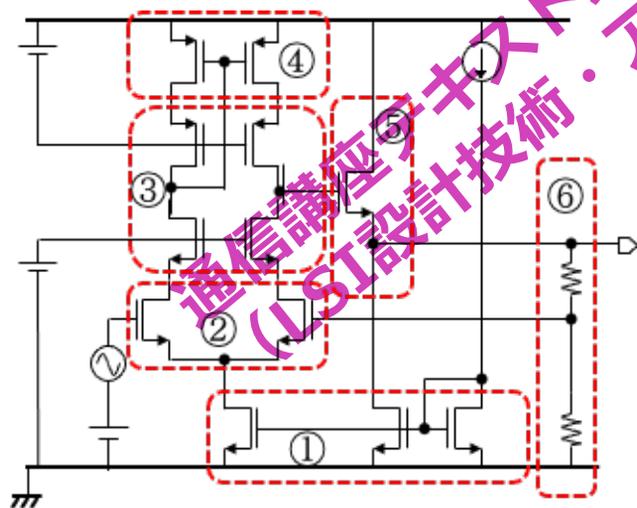
これは、面積に影響はしますが、実現可能な範囲です。

この考察からみると、差動対回路 + 抵抗で構成する増幅回路では、数倍は実現可能で  
 すが、数十倍の Gain を実現するのは、困難です。

ここで発明された要素回路がアクティブロードです。

その他、先人により色々な要素回路が発明され、その組み合わせで実現されているのが  
 Operational Amplifier、演算増幅器です。通称オペアンプと呼びます。

まずは、オペアンプ回路を見てみましょう。



基本回路	
①	カレントミラー
②	差動入力回路
③	カスコード
④	アクティブロード
⑤	ソースフォロワー
⑥	帰還抵抗

図 3.8

図 3.8 は代表的なオペアンプの回路構成です。6 つの要素回路で構成されています。  
 回路を見るときに因数分解して見ると良いです。

先の回路 = ① x ② x ③ x ④ x ⑤ x ⑥ でしたが、別なオペアンプ = ① x ② x ④ x ⑥ で

③、④なしとかもあります。仕様実現のために、回路設計者が、最初に考えることです。

まず、機能を説明し、詳細を説明していきます。



# 1-3. 重要な二つの関数

## 信頼性とは時間経過の中での概念

信頼性は時間経過の中での概念なので、これらの確率は時間の関数となり、以下のように定義される。これら以外にも関数があり、Appendix にまとめて解説してある。

### ● 信頼度関数: $R(t)$

$n$  個のサンプル中で、ある時間  $t$  経過するまでに発生した故障数を  $r(t)$  個とすると、信頼度関数  $R(t)$  は下式で定義される。

$$R(t) \equiv \frac{n - r(t)}{n}$$

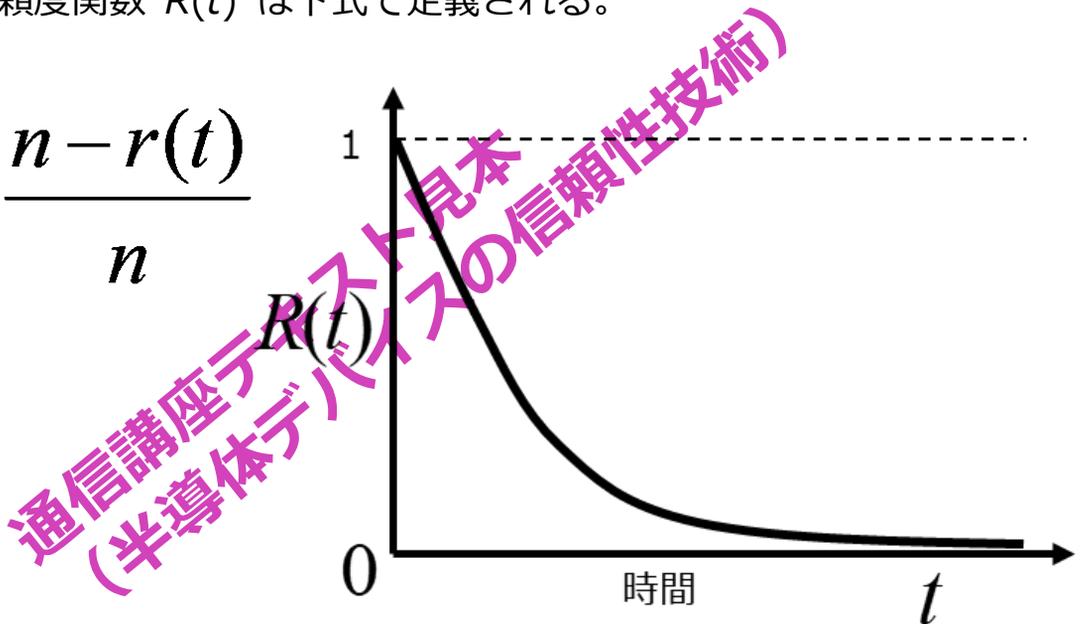


図 1.3.1 信頼度関数

この式の意味するところを理解するのは難しくない。分母の  $n$  は全体の数、分子の  $n-r(t)$  は、 $r(t)$  がその時まで発生した故障数であるから、生き残っている数である。つまり、 $R(t)$  は生き残っている割合を示している。

よって、 $R(t)$  は、時間 0 では必ず 1 であり、上図のように、時間経過とともに減少する曲線となる。

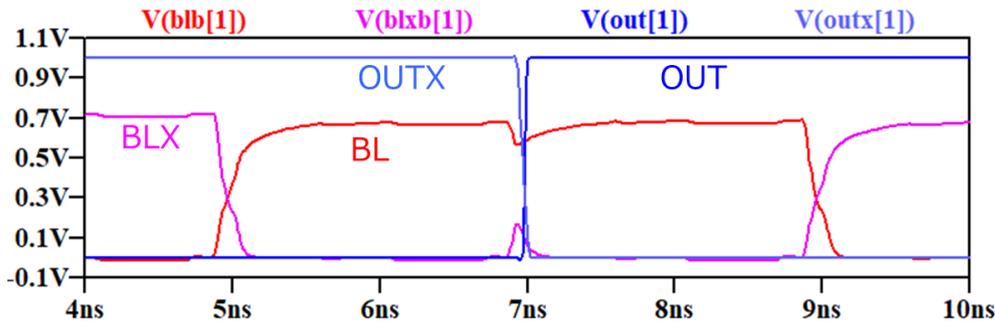


図 エラー! 指定したスタイルは使われていません。-1 SRAM 波形

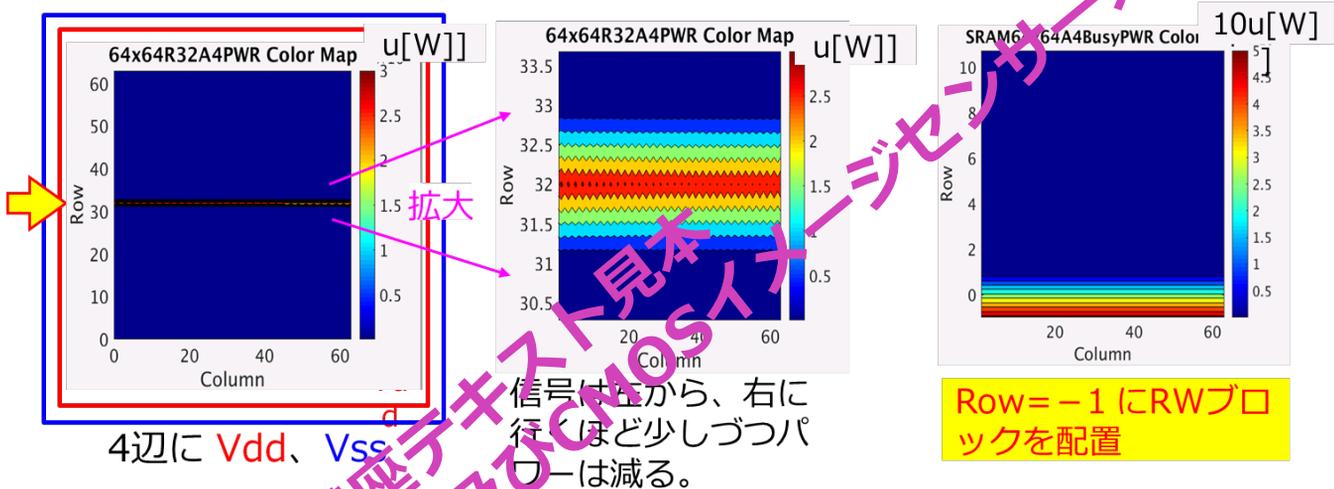


図 エラー! 指定したスタイルは使われていません。-2 SRAM RMS パワーマップ

SRAM のサイズを 64x64, 256x64, 1Kx64, 4Kx64 と増やして行ってトータルの消費電力を求めたのが エラー! 参照元が見つかりません。である。サイズが大きくなってアドレス数が増えても、ワード長が同じなら、結局アドレス方向の負荷がその分線形に増えるだけなので、図に示すように 64x64 以降はほぼ線形に増加するだけである。

エラー! 参照元が見つかりません。には同じく 64x64 SRAM の 32 番地に 1010... ⇒ 0101... と全ビットが反転するようなデータを与えて、SRAM アレイのグラウンドと電源の電圧変化をプロットしたものを示す。グラウンドも電源も 32 番地の中央辺りの電位変化が大きい。ただ、このケースでは、それは  $\mu[V]$  オーダー程度なので特に問題ではない。しかし、これは配線寄生 RC や SRAM の規模によって変わって来るので検証しておく



図 1 : HDR 処理画像例

信号の入出力関係は 1 対 1 が前提であるが、図 24 は 5 対 1 に圧縮する場合の係数を表示している。実画像との対比で言えば“高輝度まで直線”が

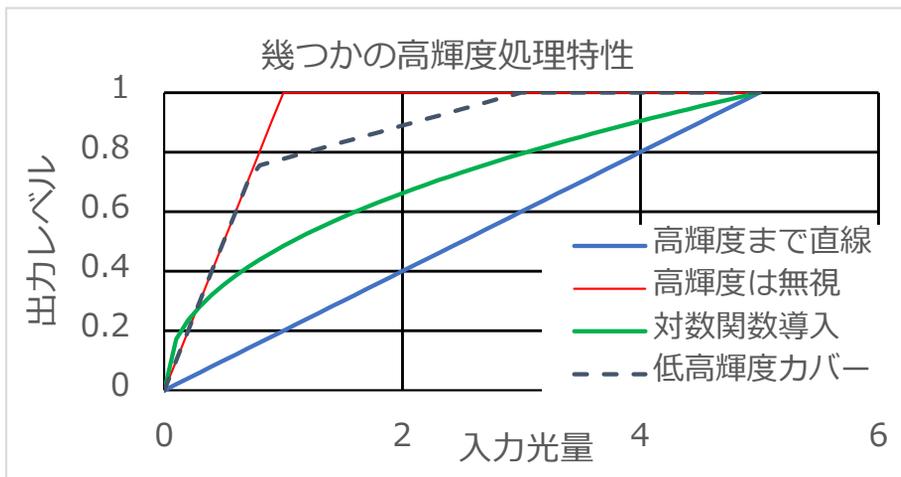


図 2 : HDR 入出力特性

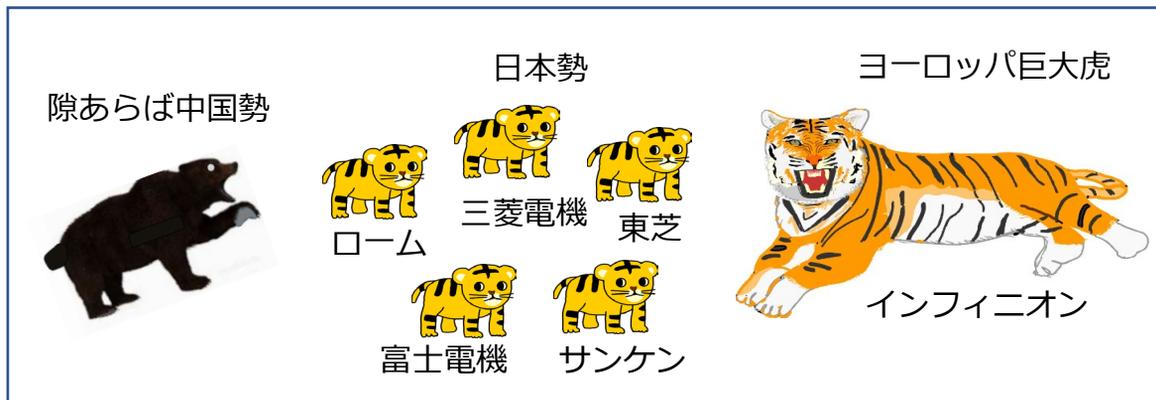
新規投資が続々

パワー半導体と化合物半導体の生産能力は、200mmウエファ換算で月産800万枚です。2024年まで新たに38のラインが生産を始める予定で、この分野の成長率は非常に大きい。これまでは、最先端LSIが生産できなくなった古い生産ラインでパワートランジスタの生産が行われる例が多く、従って、6, 8インチ径のウエファが用いられてきました。しかし、パワートランジスタの需要が高まり、**ウエファは300mm径の生産が期待され**、各社から下表のような発表があります。日本の多くのメーカーも投資を発表していますが、インフィニオンに比べて3年ほど遅れています。Activeな経営が感じられるのは、ロームのSiCのみでしょうか。

メーカー	建設地
インフィニオン	独ドレスデン オーストリア
STマイクロ	伊アグラテ
On Semi	米ニューヨーク
ボッシュ	独ドレスデン
三菱電機	未定
富士電機	松本
東芝	加賀
デンソー	USJC

日本勢が得意のパワーデバイスとは、  
4兆円以上の大型市場に成長

日本企業が世界の約半分のシェアを握っていますが、欧州勢が強くなり更に中国企業が進出する機会を狙っています。油断大敵ですよ。



足せば4兆円かも知れないが、日本は小虎が多過ぎないか